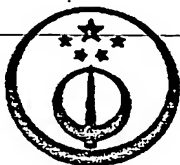


[19]中华人民共和国专利局

[51]Int.Cl⁶

G11B 7/00



[12] 发明专利申请公开说明书

[21] 申请号 97110968.0

[43]公开日 1998 年 1 月 28 日

[11] 公开号 CN 1171593A

[22]申请日 97.4.29

[30]优先权

[32]96.5.31 [33]KR[31]19230 / 96

[71]申请人 三星电子株式会社

地址 韩国京畿道

[72]发明人 郑宗植

[74]专利代理机构 柳沈知识产权律师事务所

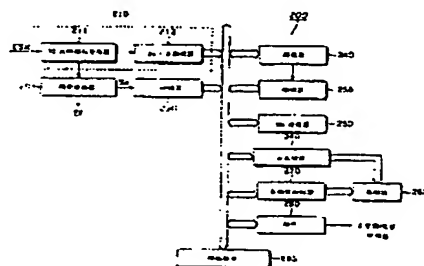
代理人 孙履平

权利要求书 3 页 说明书 5 页 附图页数 4 页

[54]发明名称 数字视盘重放装置的系统译码器

[57]摘要

一种价廉且小型化的数字视盘重放装置,该装置利用单个存储器而无需用分离的纠错存储器和数据缓冲存储器就能够进行纠错和数据缓冲,本发明的数字视盘重放装置中,用来对从盘上重放的数据进行解调、纠错、去交错和解扰的系统译码器包括一个存储器和一个存储器控制器,该存储器控制器产生存取上述存储器的存储器控制信号,以便在对上述重放的数据进行解调、纠错和解扰时记录和读出该数据。



(BJ)第 1456 号

权 利 要 求 书

1. 一种在数字视盘重放装置中对从盘上重放的数据进行解调、纠错、去交错和解扰的系统译码器, 包括:

5 一个存储器; 和

 一个存储器控制器, 当对从盘上所重放的数据进行解调、纠错和解扰时, 该存储器控制器产生用于存取上述存储器的存储器控制信号, 用于记录和读出数据。

10 2. 根据权利要求 1 的在数字视盘重放装置中对从盘上重放的数据进行解调、纠错、去交错和解扰的系统译码器, 其中, 所述存储器是动态 RAM,

 3. 一种具有主装置控制器和音频/视频译码器的数字视盘重放装置的系统译码器, 包括:

 一个存储器;

15 一个用来在所述主装置控制器和所述系统译码器之间进行连系的接口;

 一个用来在所述音频/视频译码器和所述系统译码器之间进行连系的接口;

 一个解调器, 用来解调从所述盘上按包含预定比特的每个符号恢复的数据流并输出所得到的信号;

20 一个同步检测器, 用来产生检测重放数字视盘信息所要求的各种同步模式的信号;

 一个纠错器, 用来对所解调的数据纠错;

 一个解扰器, 用来从所校正的数据中仅接收并解扰主数据, 并由此而还原为原始数据;

25 一个错误检测器, 用来检测从所述解扰器传送的数据内所包含的错误, 以便把所检测到的错误传送到该主装置控制器中以决定是否进一步重复进行所述纠错操作;

 一个 ID 纠错器, 用来校正 ID 数据错误, 并把经校正的 ID 数据作为盘检索信息传送到所述主装置控制器; 以及

30 一个存储器控制器, 用来控制存取所述存储器的选用区域以便在所述主装置控制器的控制下进行纠错和数据缓冲。

4. 根据权利要求 3 的具有主装置控制器和音频/视频译码器的数字视盘重放装置的系统译码器, 其中, 所述存储器控制器按如下步骤运行:

存储经解调的数据;

按预定的数据块恢复所存储的数据, 由此把所恢复的数据传送到所述纠

5 错器;

把经校正的数据再次存储到所述存储器的相应的区域内; 以及

产生地址信号, 用于从所述存储器恢复所存储的数据以对所恢复的数据进行去交错或解扰, 并用于记录所得到的结果。

10 5. 根据权利要求 3 的具有主装置控制器和音频/视频译码器的数字视盘重放装置的系统译码器, 其中, 所述纠错器在所述数据块的水平和垂直方向进行纠错; 所述存储器在所述两方向纠错之间的间隙进行所述数据缓冲。

6. 根据权利要求 3 的具有主装置控制器和音频/视频译码器的数字视盘重放装置的系统译码器, 其中, 所述主装置控制器是一个微机。

15 7. 根据权利要求 3 到 6 中任一的具有主装置控制器和音频/视频译码器的数字视盘重放装置的系统译码器, 其中, 所述存储器是一个动态 RAM。

8. 一种具有主装置控制器和 ROM 译码器的数字视盘重放装置的系统译码器, 包括:

一个存储器;

一个用来对所述主装置控制器和所述系统译码器之间进行连系的接

20 口;

一个用来对所述 ROM 译码器和所述系统译码器之间进行连系的接口;

一个解调器, 用来解调从所述盘上按包含预定比特的每个符号恢复的数据流并输出所得到的信号;

25 一个同步检测器, 用来产生检测重放数字视盘信息所要求的各种同步模式的信号;

一个纠错器, 用来对所解调的数据纠错;

一个解扰器, 用来从所校正的数据中仅接收并解扰主数据, 并由此而还原为原始数据;

30 一个错误检测器, 用来检测从所述解扰器所传送来的数据内所包含的错误, 以便把所检测到的错误传送到该主装置控制器中以决定是否进一步重复进行所述纠错操作;

一个 ID 纠错器，用来纠正 ID 数据错误，并把经校正的 ID 数据作为盘检索信息传送到所述主装置控制器；以及

一个存储器控制器，用来控制存取所述存储器的选用区域以便在所述主装置控制器的控制下进行纠错和数据缓冲。

- 5 9. 根据权利要求 8 的具有主装置控制器和 ROM 译码器的数字视盘重放装置的系统译码器，其中，所述存储器控制器按如下步骤运行：

存储经解调的数据；

按预定的数据块恢复所存储的数据，由此把所恢复的数据传送到所述纠错器；

- 10 把所校正的数据再次存储到所述存储器的相应的区域内；以及

产生地址信号，以便从所述存储器恢复所存储的数据以对所恢复的数据进行去交错或解扰，并记录所得到的结果。

10. 根据权利要求 8 的具有主装置控制器和 ROM 译码器的数字视盘重放装置的系统译码器，其中，所述纠错器在所述数据块的水平 and 垂直方向进

- 15 行纠错；所述存储器在所述两方向纠错之间的间隙进行所述数据缓冲。

11. 根据权利要求 8 的具有主装置控制器和 ROM 译码器的数字视盘重放装置的系统译码器，其中，所述主装置控制器是一个微机。

12. 根据权利要求 8 到 11 中之一的具有主装置控制器和 ROM 译码器的数字视盘重放装置的系统译码器，其中，所述存储器是一个动态 RAM。

说明书

数字视盘重放装置 的系统译码器

5

本发明涉及一种光盘重放装置的系统译码器，特别是涉及一种数字视盘(或通用的)重放装置的系统译码器。

数字视盘作为一种数字动画盘记录媒体，是一种高灰度等级的图像和音质的第二代普及多媒体存储器。

10 参照图 1，当重放盘 100 的时候，盘马达 160 使盘 100 以一速度起动旋转，具有传感头 120 的光拾取器把该盘信息变换为高频模拟信号(HF)以便传送。将上述信号形成为脉冲波形，由此把数据流 ESM、EFM 传送到如下的锁相环(下称“PLL”)300 和系统译码器 200，系统译码器 200 进行数据流(ESM、EFM)的解调、纠错和解扰。微机 500 是装置控制单元，用来控制整
15 个光盘重放系统的全部操作。当接收来自下述的音频/视频译码器 600 或 ROM 译码器的数据传送起始信号时，该微机 500 产生传送控制信号。

上述 PLL300 包括相位比较电路、压控振荡器和分频器，并产生同步于指定光盘重放信号的第 1 时钟，盘驱动控制器 400 按照从同步检测器 220 传送来的帧同步信号 Sf，在频率伺服系统和相位伺服系统进行比较下来控制恒
20 定线速度和控制其他有关盘的操作。音频/视频译码器 600 把来自系统译码器 200 的数据输出分成为音频数据和视频数据，以便还原成原始音频数据和视频数据。由音频/视频译码器 600 解调的音频/视频数据分别被传送到 NTSC(或 PAL)编码器 700 和数模变换器 800，并且分别经监视器 960 和扬声器 970 输出。一般把 ROM 译码器 950 构成在主机内(如：个人计算机)，并由主机的指
25 令来操作，按照特定的接口方法把数据从系统译码器 200 传送到主机(计算机)。

参照图 1 和图 2，第 1 和第 2 存储器 330，280 分别是静态和动态 RAM，其中前者用来进行纠错，而后者用来进行缓冲数据。即：从盘 100 恢复的数据被解调为记录之前的以前的状态，以便将其存储在第 1 存储器 330 内，并
30 进一步使其按数据块恢复，由此传送到纠错器 230 并用纠错器 230 进行校正，然后被再次存储到第 1 存储器 330 内。此外，解扰器根据由第 1 存储器 330

恢复的数据进行解扰，并把上述数据存储在第2存储器280内，这样，上述数据就被恢复，以便传送到音频/视频译码器600或ROM译码器950。音频/视频译码器600把从系统译码器200传送的数据分成为各自的音频和视频数据，并分别恢复为原始音频和视频数据。由主机(如：个人计算机)的指令操作该主机内所构成的ROM译码器，从而按照特定的接口方法把数据从系统译码器200传送到主机(计算机)。

另外，第1和第2存储器控制器320，270用来产生地址，并防止第1和第2存储器330，280的溢出和下溢等。如上所述，由于普通系统译码器200包括单独的纠错存储器和数据缓冲器，相应地还包括单独的存储器控制器，所以，不仅使系统译码器的结构变得复杂而昂贵，而且难于使产品小型化。

因此，本发明的目的是提供一种价廉且小型化的数字视盘重放装置，该装置借助单个存储器而无需单独的纠错存储器和数据缓冲存储器就能够进行纠错和数据缓冲。

按照本发明在数字视盘重放装置中用来对从盘上重放的数据进行解调、纠错、去交错和解扰的系统译码器，包括一个存储器和一个存储器控制器，该存储器控制器产生用于存取上述存储器的存储器控制信号，以便在对上述重放的数据进行解调、纠错和解扰时记录和读出该数据。

参照如下的结合实施例参照附图的详细描述将能够更容易地理解本发明及其许多附带的优点。

附图简要说明：

图1是普通数字视盘重放装置的示意性结构方框图；

图2是图1中所示的系统译码器200的详细结构方框图；

图3是按照本发明的实施例的数字视盘重放装置的系统译码器结构方框图；和

图4是由数字视盘恢复的一个扇区的数据结构的说明图。

现在仅以示例的方式参照附图来更详细地说明本发明，附图中同样的标号表示同样的或类似的零件。

优选实施例的详细说明

参照图3，存储器280是一个动态RAM，微机接口295在微机500和本发明的系统译码器200之间进行接口，微机500是一个用来控制整个数字

视盘重放装置的装置控制单元，同时控制本发明的系统译码器 200 的全部操作。

当重放盘 100 的时候，盘马达 160 使盘 100 以一速度起动的旋转，具有传感头 120 的光拾取器把盘信息变换为高频模拟信号(HF)以便传送。上述信号被形成成为脉冲波形，由此把数据流 ESM 传送到如下所述的 PLL300 和解调器单元 210。

解调器单元 210 用每个包含预定比特的符号解调上述数据流 ESM，换言之，解调器单元 210 把上述数据流 ESM 输入到 32 比特移位寄存器 211，并从上述 32 比特移位寄存器 211 输出的 32 比特中选择高(或低)16 比特，以便传送到 16 - 8 解调器 212。上述 16 - 8 解调器 212 把所收到的 16 比特数据变换为包含 8 比特的符号以便传送，其原因是在把该数据记录到盘 100 上时，该数据被从 8 调制到 16。

上述 PLL300 包括一个相位比较器、一个压控振荡器和一个分频器，并产生与所重放的信号同步的第 1 时钟。系统时钟发生器 900 是一个产生第 2 时钟即系统时钟的晶体振荡器。

同步检测器 220 接收第 1 时钟和来自 32 比特移位寄存器 211 的 32 比特信号，由此产生用来检测各种同步模式(pattern)的信号 Sf，Se，如：用来控制盘 100 旋转的标准时钟的帧同步、用来区分扇区的扇区同步和用来识别纠错时间(time)以便恢复来自相应的纠错数据块的数据的纠错同步等。另外，上述同步检测器 220 还用于设定一个只允许在给定的范围内进行同步检测或在预定同步检测失败时用于强制产生检测信号的触发脉冲(window)。

盘驱动控制器 400 按照从同步检测器 220 传送来的帧同步信号 Sf，在频率伺服系统和相位伺服系统进行比较下来控制恒定线速度和其他有关盘的操作。

纠错器 230 根据包含由盘 100 恢复的数据的规定数据块进行水平和垂直纠错，在该实施例中，该水平和垂直方向是 182，172，11 和 208，192，17，即：码字的长度分别是 182 和 208，除奇偶校验之外的主数据分别是 172 和 192，码字的间隔分别是 11 和 17。

上述存储器 280 存储 ID 数据和由解调器 210 按预定的数据块所传送的主数据，换言之，在微机 500 的控制下，存储器控制器 270 把适当的地址分配给上述存储器 280，并把相应的经解调的数据送到该存储器，以便形成

一个纠错数据块。上述纠错数据块包括用于 16 个扇区(sectors)的数据。上述存储器 280 还进行用于缓冲数据并在上述两个方向上的纠错之间的间隙存储经校正的数据。

5 由于存储在上述存储器 280 内的经校正的数据中的主数据在记录到盘上之前就被加扰, 所以, 解扰器 240 把恢复的主数据解扰, 以便复原为原始数据。参照图 4, 上述主数据由 2k 字节构成。

错误检测器 250 检测包含在从解扰器 240 传送来的数据中的错误, 把所检测到的错误信息传送到微机 500 以便根据该信息来决定是否必须进一步重复进行纠错。

10 参照图 3, 存储器控制器 270 在微机 500 的控制下进行操作以产生低位地址信号(low address signal)、列(column)地址信号和其他地址信号, 并且防止溢出和下溢。也就是说, 存储器控制器 270 把由盘 100 恢复的数据存储在存储器 280 内, 然后按数据块把所存储的数据复原并传送到用于进行纠错的纠错器 230, 并再次把经校正的数据存储到存储器 280 的相应的存储区内。进
15 而, 在解扰和去交错时, 上述存储器控制器 270 再次把所复原的数据存储到上述存储器 280 内或恢复所存储的数据。

去交错装置 340 由用于存储交错规律的装置、地址计数器和加法器等构成, 通过控制上述存储器 280 的记录/恢复地址来复原以帧为单位交错的数据为被存储的原始排列。在本实施例中, 虽然上述去交错装置 340 是单独表示
20 的, 在实施实际电路时, 它可以包括在上述存储器控制器 270 内, 以便可以同时执行纠错、解扰和去交错操作。

ID 纠错器 260 仅在完成系统译码之后正好在把数据发送到音频/视频译码器 600 之前从存储在上述存储器 280 内的数据中恢复 ID 数据, 这样就使 ID 数据得到纠错。经校正的 ID 数据与一个嵌入的 ID 纠错标志(flag) 一起被
25 传送到微机 500, 该微机用经校正的 ID 数据作为参考来控制盘 100 的检索操作。再把经校正的 ID 数据与主数据一起传送到音频/视频译码器 600, 该 ID 数据把扇区信息表示为盘 100 上的一个物理地址, 如图 4 所示, 该物理地址包含 4 字节。在本实施例中, 把纠错类型假定为 6, 4, 3。

接口 290 执行本发明的系统译码器 200 和音频/视频译码器 600 之间的连
30 系, 例如在微机 500 的控制下, 存储器控制器 270 根据系统时钟从存储器 280 中恢复经解扰的数据, 从而把上述经解扰了的数据经接口 290 传送到音频/

视频译码器 600，并且，当接收经校正的 ID 数据时，微机 500 经上述接口 290 把盘检索指令传送到盘驱动控制器。另外，上述接口 290 在本发明的系统译码器 200 和 ROM 译码器 950 之间进行连系，当重放通常的数字视盘时，把所恢复的数据传送到音频/视频译码器 600，反之，当重放数字视盘 - ROM 时，把所恢复的数据传送到 ROM 译码器 950。换言之，为了进行本发明的系统译码器 200 和音频/视频译码器 600 或 ROM 译码器 950 之间的接口，当控制定时、消除噪声、改变信号排列和传送地址时，上述接口 290 执行相关地址译码的操作等。

由此，本发明的优点在于本发明的装置能够用单个存储器来进行纠错和数据缓冲而不必需用分离的纠错存储器和数据缓冲存储器，从而是一种廉价、简单且容易制造的结构。

已经说明和描述的是本发明的优选实施例，显然，本领域的普通技术人员在不背离本发明的实质范围的情况下，可以作出各种变形和改形，并且，可以对其元器件进行等同物的代换。另外，在不背离本发明的中心范围的情况下可以作出许多改形，但都属于本发明的技术教导的范围。因此，本发明不局限于作为本发明的最好方式的特定的实施例，本发明包括权利要求范围内的全部实施方案。

说明书附图

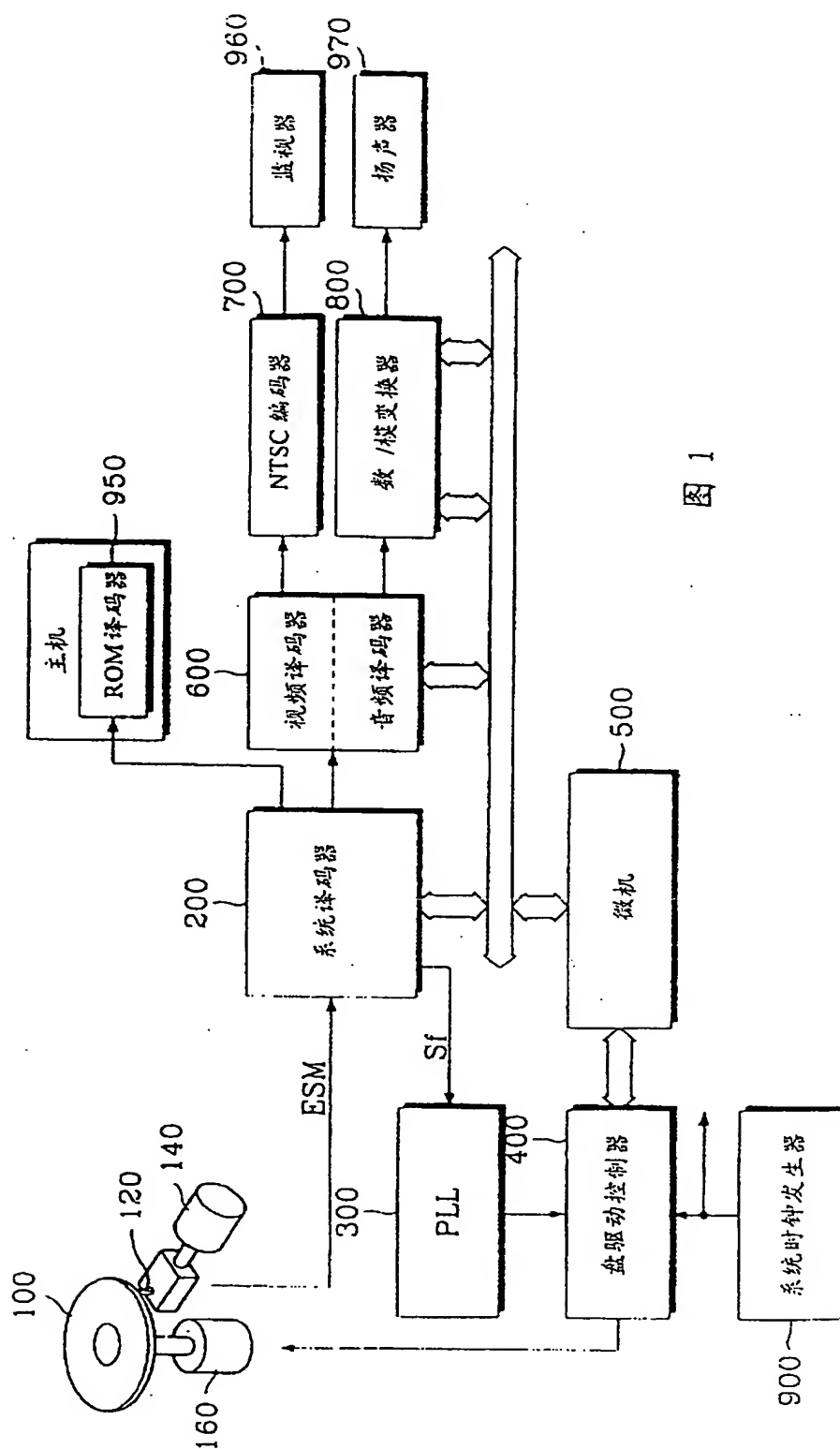
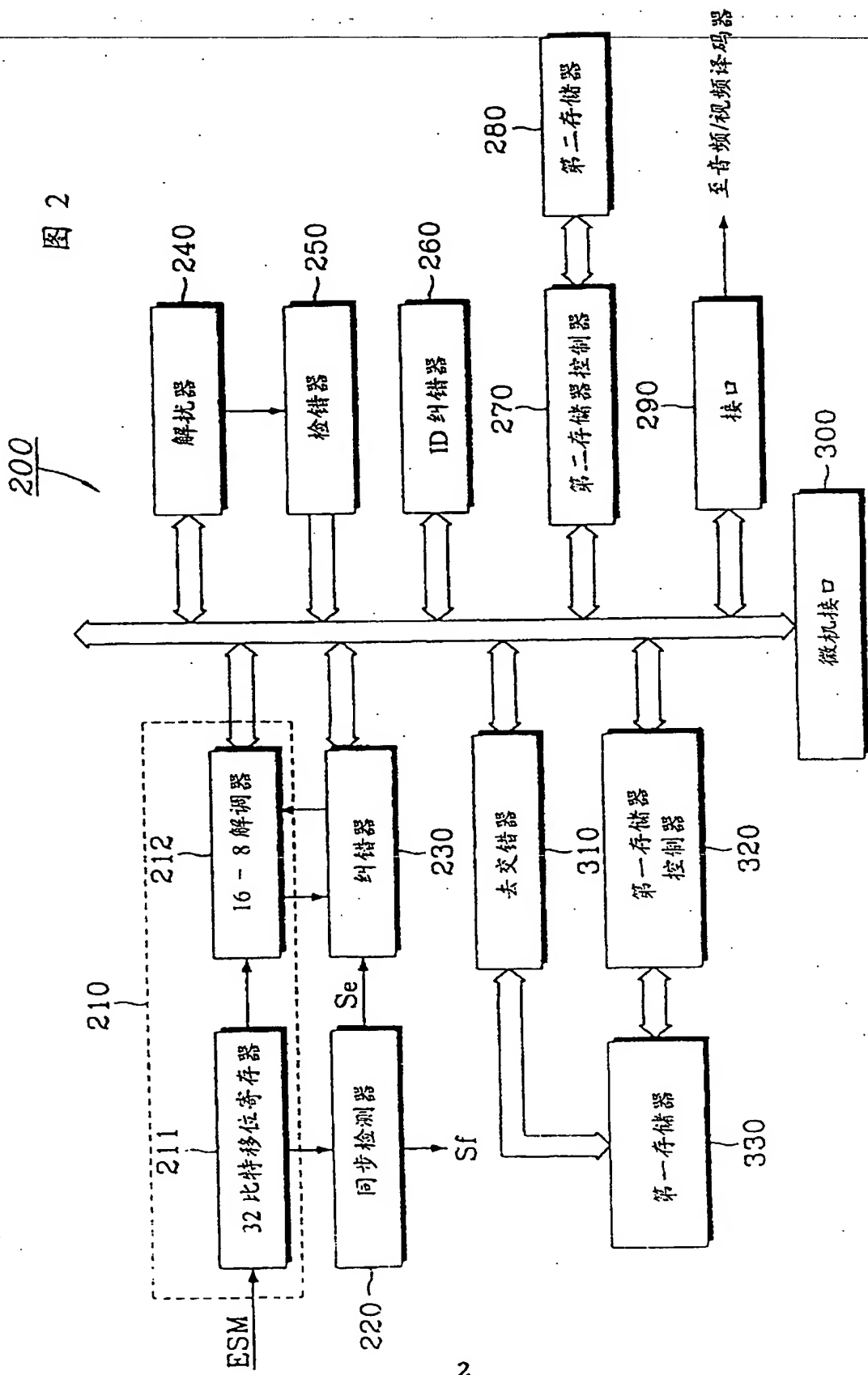


图 1



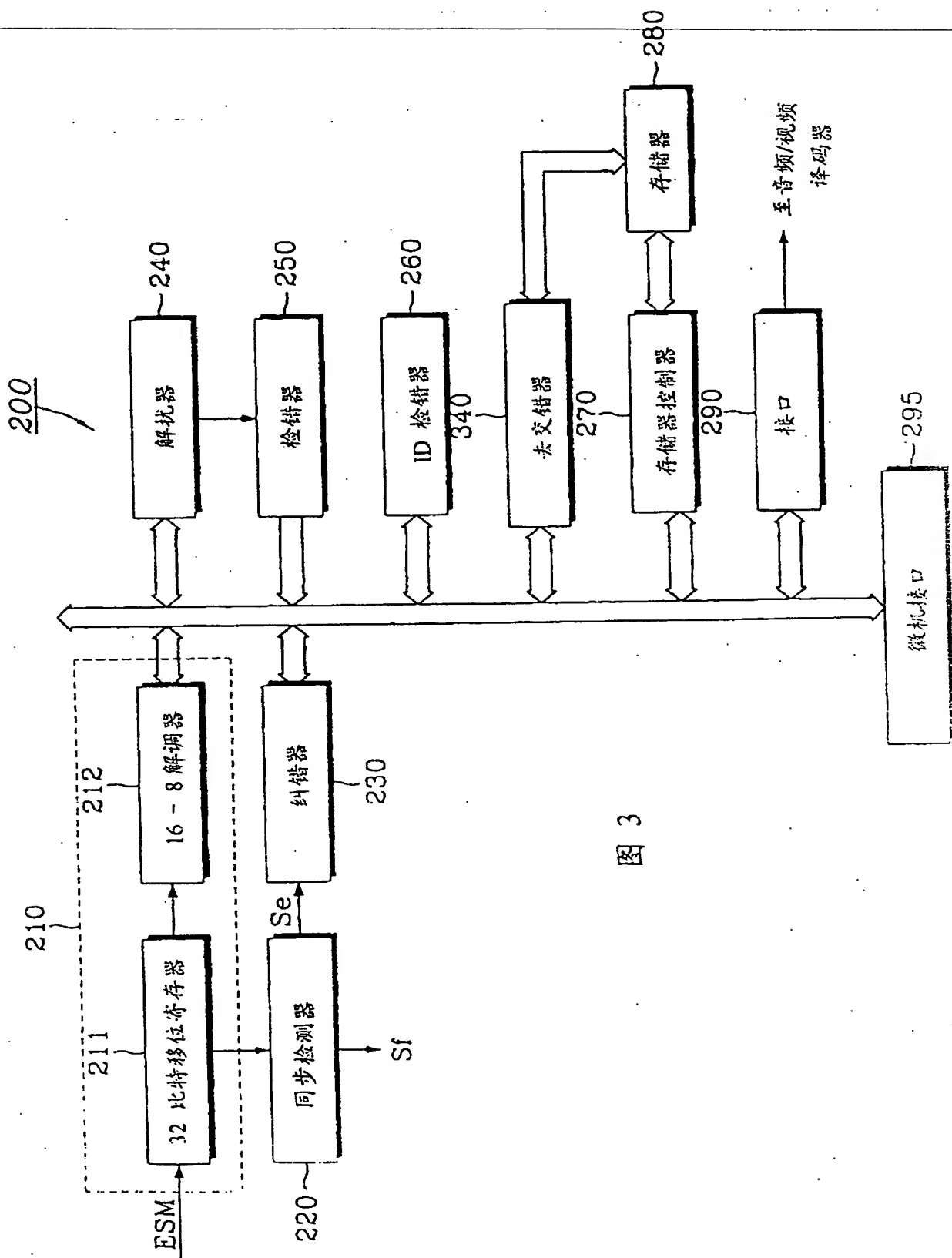
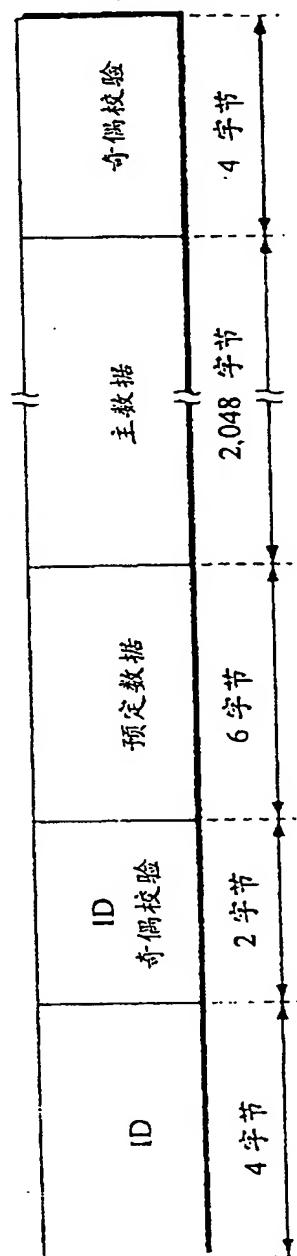


图 3

图 4



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.